

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-273372

(43)公開日 平成8年(1996)10月18日

(51)Int.Cl.  
G 1 1 C 14/00  
11/22

識別記号

厅内整理番号

F I  
G 1 1 C 11/34  
11/22

技術表示箇所

3 5 2 A

審査請求 未請求 請求項の数 2 O L (全 8 頁)

(21)出願番号

特願平7-68449

(22)出願日

平成7年(1995)3月27日

(71)出願人 000002185

ソニーリミテッド

東京都品川区北品川6丁目7番35号

(72)発明者 大澤俊政

東京都品川区北品川6丁目7番35号 ソニーリミテッド

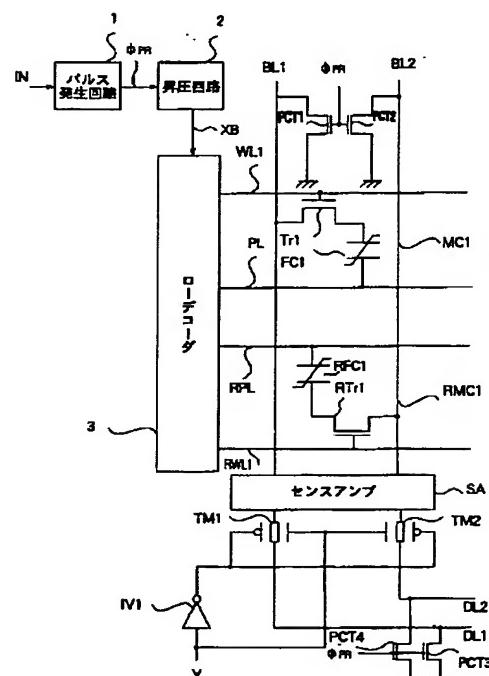
(74)代理人 弁理士 佐藤 隆久

(54)【発明の名称】 強誘電体記憶装置

(57)【要約】

【目的】タイミング設計が容易で、動作速度の高速化を図れ、また面積の増大を防止できる強誘電体記憶装置を実現する。

【構成】メモリセルをアクセスするための信号、たとえばアドレス信号あるいはコントロール信号等の入力信号INを受けて、入力信号INに同期したパルス信号 $\phi_{PR}$ を生成して昇圧回路2およびプリチャージトランジスタPCT1～PCT4のゲートに出力するパルス発生回路1と、パルス発生回路1によるパルス信号 $\phi_{PR}$ を受けて、昇圧用素子としての強誘電体キャバシタに所定のタイミングで入力させて、少なくともスイッチングトランジスタTr1, RT1のしきい値に基づく電圧降下を相殺するレベル以上、たとえば2Vccに昇圧したワード線用駆動信号XBを生成しデコーダ3に出力する昇圧回路2を設ける。



1

## 【特許請求の範囲】

【請求項1】少なくとも、第1および第2の電極と両電極間に配置された強誘電体を有し、両電極への印加電圧に応じた強誘電体の分極の方向によって2値データを記憶する強誘電体キャパシタと、ワード線に印加される駆動信号レベルに応じてビット線と強誘電体キャパシタの第1の電極とを作動的に接続するスイッチングトランジスタとからなるメモリセルを有する強誘電体記憶装置であって、

上記メモリセルをアクセスするための外部信号に受け  
て、当該外部信号に同期したパルス信号を生成するパル  
ス発生回路と、

昇圧用素子を有し、上記パルス発生回路によるパルス信  
号を所定のタイミングで当該昇圧用素子に入力させて、  
少なくとも上記スイッチングトランジスタのしきい値に基  
づく電圧降下を相殺するレベル以上に昇圧した上記駆  
動信号を生成する昇圧回路とを有する強誘電体記憶装  
置。

【請求項2】上記昇圧用素子は、強誘電体キャパシタ  
により構成されている請求項1記載の強誘電体記憶装  
置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、強誘電体の分極反転を  
利用した強誘電体記憶装置に関する。

## 【0002】

【従来の技術】図8に示すようなヒステリシス特性を有  
する強誘電体の分極反転を利用して、2値データを記憶  
する強誘電体不揮発性メモリとしては、現在さまざま  
なものが提案されているが、その中で代表的なものとし  
て、1つのスイッチングトランジスタと1つの強誘電体  
キャパシタにより1ビットを構成するもの(1Tr-1Cap方  
式)、2つのスイッチングトランジスタと2つの強誘電  
体キャパシタにより1ビットを構成するもの  
(2Tr-2Cap方式という)との2種類が提案されて  
いる。以下に、1Tr-1Cap方式を例に強誘電体  
不揮発性メモリの基本的な回路構成について説明する。

【0003】図9は、1Tr-1Cap方式を採用した  
強誘電体不揮発性メモリの基本的な1ビット構成を示す  
図である。このメモリセルMC1は、図9に示すよう  
に、ビット線BL1に対しドレインが接続されたnチャ  
ネルMOSトランジスタからなるスイッチングトラン  
ジスタTr1と、スイッチングトランジスタTr1のソース  
に対し一方(第1)の電極が接続された強誘電体キャ  
パシタFC1によって1ビットが構成されており、スイ  
ッチングトランジスタTr1のゲートがワード線WL1  
に接続され、強誘電体キャパシタFC1の他方(第2)  
の電極(プレート電極)がプレート線PLに接続されて  
いる。

【0004】そして、この1Tr-1Cap方式を採用

50

2

した不揮発性メモリには、ビット線BL1と対をなすビ  
ット線BL2にドレインが接続されたリファレンス用ス  
イッチングトランジスタRT r1と、スイッチングトラン  
ジスタRT r1のソースに対し一方の電極が接続され  
たリファレンス用強誘電体キャパシタRFC1によ  
って構成されるリファレンスセルRMC1が設けられ、ス  
イッチングトランジスタRT r1のゲートがリファレンス  
用ワード線RWL1に接続され、強誘電体キャパシタR  
FC1の他方の電極がリファレンス用プレート線RPL  
に接続されている。なお、強誘電体は、分極変化の回数  
が多くなると電極に発生する電荷が小さくなる劣化(Fat  
igue)が起こる。そこで、リファレンスセルRMC1  
は、常にデータ「0」を書き込み劣化が起りにくく  
うに制御される。

【0005】次に、1Tr-1Cap方式を採用した不  
揮発性メモリにおける動作を、データの読み出し動作を  
例に、図10のタイミングチャートを参照しつつ説明す  
る。

【0006】まず、図示しない列制御系によりビット線  
BL1, BL2に「0」Vが印加され、その後オープン  
とされる。そして、図示しない行制御系であるローデコ  
ーダによりワード線WL1に(Vcc+αV、たとえばα  
は1V)が印加される。これにより、スイッチングトラン  
ジスタTr1が導通状態となる。同様に、リファンレス  
用ワード線RWL1に(Vcc+1V)が印加される。  
これにより、スイッチングトランジスタRT r1が導通  
状態となる。なお、ワード線WL1, RWL1の設定レ  
ベルを(Vcc+1V)としたのは、スイッチングトラン  
ジスタのしきい値電圧Vthが1V以下であることか  
ら、「+1V」してトランジスタによる電圧降下を防ぐ  
ためであり、この電圧は、図示しない昇圧回路により、  
たとえば内部信号に基づいて生成され、図示しないロー  
デコーダを介して印加される。

【0007】そして、ワード線WL1, RWL1と略同  
様の立ち上げタイミング、あるいは図10に示すよう  
に、一定のタイミングをおいてプレート線PLおよびR  
PLに電源電圧Vccが所定時間印加される。これによ  
り、強誘電体キャパシタFC1およびRFC2の分極状  
態に従ってビット線BL1およびBL2の電位が変化す  
る。そして、リファレンスセルRMC1が接続されたビ  
ット線BL2の電位とメモリセルMC1が接続されたビ  
ット線BL1の分極状態に応じた電位との差が、図示  
しないセンスアンプにより検出される。なお、リファレン  
スセルRMC1は分極反転させずに使用されるため、再  
書き込み動作に入らないように、すなわち「0」データ  
を書き込むために、リファレンス用ワード線RWL1は  
リファレンス用プレート線RPLよりも早いタイミング  
で0Vに立ち下がるように設定される。すなわち、ス  
イッチングトランジスタRT r1が非導通状態になった後  
に、リファレンス用プレート線RPLが0Vに立ち下

られる。

【0008】通常のメモリセルMC 1側では、データ読み出し後、上述した再書き込みを行うため、リファレンス用プレート線RPLとほぼ同時に0Vに立ち下げた後に、ワード線WL 1が(Vcc+1V)から0Vに立ち下げられる。これにより、スイッチングトランジスタTr 1が非導通状態となり、読み出し動作が終了する。

【0009】また、図11は1Tr-1Cap方式を採用した不揮発性メモリにおける書き込み動作時のタイミングチャートを示している。データ書き込みは、図11に示すようなワード線WLおよびプレート線PLの制御が行われて、1つの強誘電体キャパシタの分極状態を、図8に示すヒステリシス曲線におけるC点(状態0)またはA点(状態1)に設定することにより、1ビットの書き込みが行われる。この場合も、ワード線WL 1へは、スイッチングトランジスタによる電圧降下を防ぐためであり、図示しない昇圧回路により、たとえば内部信号に基づいて生成された(Vcc+1V)の信号が、図示しないローデコーダを介して印加される。

#### 【0010】

【発明が解決しようとする課題】ところで、上述した図9の回路では、ワード線用駆動電圧を昇圧する回路は、たとえば複数のノード間をそれぞれnチャネルMOSトランジスタで接続し、たとえば内部パルス信号を、ゲート絶縁膜を有する半導体キャパシタに印加させてその容量結合により順次に昇圧するように構成される。

【0011】しかしながら、外部からの信号に直接同期させたパルス信号を用いずに、内部パルス信号を用いていることから、ずれ等の発生を防止するためのタイミング調整に時間がかかり、動作の高速化に限界があった。また、複数の半導体キャパシタに相補的なレベルをとるパルス信号を順次に印加する必要があり、そのタイミング制御が複雑で、また、複数のキャパシタを要することから回路面積の増大を招くという問題がある。

【0012】本発明は、かかる事情に鑑みてなされたものであり、その目的は、タイミング設計が容易で、動作速度の高速化を図れ、また面積の増大を防止できる強誘電体記憶装置を提供することにある。

#### 【0013】

【課題を解決するための手段】上記目的を達成するため、本発明は、少なくとも、第1および第2の電極と両電極間に配置された強誘電体を有し、両電極への印加電圧に応じた強誘電体の分極の方向によって2値データを記憶する強誘電体キャパシタと、ワード線に印加される駆動信号レベルに応じてビット線と強誘電体キャパシタの第1の電極とを作動的に接続するスイッチングトランジスタとからなるメモリセルを有する強誘電体記憶装置であって、上記メモリセルをアクセスするための外部信号を受けて、当該外部信号に同期したパルス信号を生成するパルス発生回路と、昇圧用素子を有し、上記パルス

発生回路によるパルス信号を所定のタイミングで当該昇圧用素子に入力させて、少なくとも上記スイッチングトランジスタのしきい値に基づく電圧降下を相殺するレベル以上に昇圧した上記駆動信号を生成する昇圧回路とを有する。

【0014】また、本発明の強誘電体記憶装置では、上記昇圧用素子は、強誘電体キャパシタにより構成されている。

#### 【0015】

【作用】本発明の強誘電体記憶装置によれば、読み出しあるいは書き込み時に、メモリセルをアクセスするための外部信号、たとえばアドレス信号が入力されると、パルス発生回路において、アドレス信号に同期したパルス信号が生成されて昇圧回路に出力される。昇圧回路では、パルス信号が所定のタイミングで昇圧用素子、たとえば強誘電体キャパシタに入力されて、少なくともスイッチングトランジスタのしきい値に基づく電圧降下を相殺するレベル以上に昇圧された駆動信号が生成される。そして、この駆動信号が、たとえばローデコーダでアドレス信号に基づいて選択されたワード線に印加される。これにより、スイッチングトランジスタが導通状態となるが、このとき、そのワード線に接続されたスイッチングトランジスタを通してのビット線と強誘電体キャパシタ間の信号の授受において、スイッチングトランジスタのしきい値に基づく電圧降下が相殺される。

#### 【0016】

【実施例】図1は、本発明に係る1Tr-1Cap方式を採用した強誘電体不揮発性メモリの基本的な1ビット構成を示す回路図であって、従来例を示す図9と同一構成部分は同一符号をもって表している。すなわち、MC 1はメモリセル、RMC 1はリファレンスセル、BL 1, BL 2はビット線、WL 1, WL 2はワード線、PLはプレート線、RWL 1はリファレンス用ワード線、RPLはリファレンス用プレート線、SAはセンスアンプ、DL 1, DL 2はデータ線、TM 1, TM 2は転送ゲート、IV 1はインバータ、PCT 1～PCT 4はnチャネルMOSトランジスタからなるプリチャージトランジスタ、1はパルス発生回路、2は昇圧回路、3はローデコーダをそれぞれ示している。

【0017】プリチャージトランジスタPCT 1はビット線BL 1と接地線との間に接続され、プリチャージトランジスタPCT 2はビット線BL 1と接地線との間に接続され、これらトランジスタPCT 1およびPCT 2のゲートが信号φPRの供給線、すなわちパルス発生回路1の出力に接続されている。また、プリチャージトランジスタPCT 3はデータ線DL 1と接地線との間に接続され、プリチャージトランジスタPCT 4はビット線DL 2と接地線との間に接続され、これらトランジスタPCT 3およびPCT 4のゲートが信号φPRの供給線、すなわちパルス発生回路1の出力に接続されている。

【0018】また、転送ゲートTM1, TM2はnチャネルMOSトランジスタとpチャネルMOSトランジスタのソース・ドレイン同士を接続して構成され、転送ゲートTM1はセンスアンプSAのビット線BL1の出力ラインとデータ線DL1との間に接続され、転送ゲートTM2はセンスアンプSAのビット線BL2の出力ラインとデータ線DL2との間に接続されている。そして、転送ゲートTM1, TM2を構成するnチャネルMOSトランジスタのゲートに選択信号Yの入力線が接続され、pチャネルMOSトランジスタのゲートにインバータINV1の出力線、すなわち、選択信号Yの反転信号の供給線に接続されている。

【0019】パルス発生回路1は、図示しない制御系から出力されたメモリセルをアクセスするための信号、たとえばアドレス信号あるいはコントロール信号等の入力信号INを受けて、入力信号INに同期したパルス信号 $\phi_{PR}$ を生成して昇圧回路2およびプリチャージトランジスタPCT1～PCT4のゲートに出力する。

【0020】図2は、パルス発生回路1の構成例を示す回路図である。このパルス発生回路1は、図2に示すように、インバータ101～104、2入力 NANDゲート105により構成されている。具体的には、インバータ101～103が直列に接続され、インバータ101の入力および NANDゲート105の一方の入力が入力信号INの入力線に接続され、インバータ103の出力が NANDゲート105の他方の入力に接続され、 NANDゲート105の出力がインバータ104の入力に接続され、インバータ104の出力が昇圧回路2の入力、並びにプリチャージトランジスタPCT1～PCT4のゲートに接続されている。

【0021】図3に、図2のパルス発生回路1の入力信号IN、インバータ103の出力信号S103、 NANDゲート105の出力信号S105およびインバータ104の出力信号S104のタイミングチャートを示す。図3に示すように、パルス発生回路1から、入力信号INに同期したパルス信号S104( $\phi_{PR}$ )が生成され、昇圧回路2等に出力される。

【0022】昇圧回路2は、パルス発生回路1によるパルス信号 $\phi_{PR}$ を受けて、昇圧用素子としての強誘電体キャパシタに所定のタイミングで入力させて、少なくともスイッチングトランジスタTr1, RTr1のしきい値に基づく電圧降下を相殺するレベル以上、たとえば2Vccに昇圧したワード線用駆動信号XBを生成しデコーダ3に出力する。デコーダ3は、アドレス信号により指定されたワード線WL、およびリファレンスワード線RWL1に、駆動信号XBを送出する。

【0023】図4は、昇圧回路2の構成例を示す回路図である。この昇圧回路2は、図4に示すように、インバータ201～208、2入力 NANDゲート209、強誘電体キャパシタ210およびpチャネルMOSトランジ

10

20

30

40

50

スタ211により構成されている。具体的には、インバータ201～203が直列に接続され、インバータ201の入力およびインバータ204の入力がパルス信号 $\phi_{PR}$ の入力線に接続され、インバータ203の出力が NANDゲート209の一方の入力に接続され、インバータ204の出力が NANDゲート209の他方の入力に接続され、 NANDゲート209の出力がインバータ208の入力に接続され、インバータ208の出力がpチャネルMOSトランジスタ211のゲートに接続されている。pチャネルMOSトランジスタ211のソースは電源電圧Vccの供給線に接続されている。また、インバータ205～207が直列に接続され、インバータ205の入力がパルス信号 $\phi_{PR}$ の入力線に接続され、インバータ207の出力が強誘電体キャパシタ210の一方の電極に接続されている。そして、強誘電体キャパシタ210の他方の電極がpチャネルMOSトランジスタ211のドレンに接続され、これらの接続点から略2Vccまで昇圧された駆動信号XBをデコーダ3に出力する。

【0024】図5に、図4の昇圧回路2の入力信号 $\phi_{PR}$ 、インバータ203の出力信号S203、インバータ204の出力信号S204、インバータ207の出力信号S207、 NANDゲート209の出力信号S209およびインバータ208の出力信号S208のタイミングチャートを示す。

【0025】このような構成を有する昇圧回路2では、図5に示すように、インバータ208の出力信号S208がローレベルのときにpチャネルMOSトランジスタ211が導通状態となり、強誘電体キャパシタ210の他方の電極側である信号XBの出力ノードはVccレベルまで充電される。このとき強誘電体キャパシタ210の一方の電極側は信号S207がローレベルに放電されていることから、接地レベルの0Vに放電されている。次に、信号S208がハイレベルになり、トランジスタ211が非導通状態になると、信号XBの出力ノードはフローティングとなる。続いて、信号S207がハイレベルのVccレベルまで遷移する。その結果、信号XBのレベルは強誘電体キャパシタ210の容量結合により、2Vccレベルまで上昇する。

【0026】また、この昇圧回路2では、昇圧用素子として、比誘電率が酸化膜の数百倍、たとえばPZTの場合には300倍の強誘電体キャパシタ210を用いているので、従来の酸化膜を用いた半導体キャパシタと同じ容量を得るのに、小さい面積で済む。

【0027】次に、上記構成による動作を、読み出し動作を例に説明する。なお、この場合の各信号のタイミングは図10に示すものと同様となることから、図10を参照しつつ説明する。

【0028】まず、メモリセルをアクセスするための外部信号、たとえばアドレス信号INが入力されると、パルス発生回路1において、アドレス信号に同期したパル

ス信号 $\phi_{PR}$ が生成されてプリチャージトランジスタP C T 1～P C T 4のゲート、並びに昇圧回路2に出力される。これにより、ビット線B L 1、B L 2、およびデータ線D L 1、D L 2が接地レベルにプリチャージされる。

【0029】また、昇圧回路2では、パルス信号 $\phi_{PR}$ が所定のタイミングで昇圧用素子としての強誘電体キャパシタ210に入力されて、スイッチングトランジスタのしきい値に基づく電圧降下を相殺するに十分な2V<sub>CC</sub>レベルまで昇圧された信号X<sub>B</sub>が生成されてローデコーダ3に出力される。そして、ローデコーダ3では、2V<sub>CC</sub>レベルまで昇圧された信号X<sub>B</sub>がそのままのレベルで、あるいはたとえば(V<sub>CC</sub>+1V)程度に調整されて、アドレス信号に基づいて選択されたワード線WL、RWLに印加される。これにより、メモリセルMC1のスイッチングトランジスタT r 1が導通状態となる。同様に、リファレンス用ワード線RWL1に(V<sub>CC</sub>+1V)の電圧が印加される。これにより、リファレンス用スイッチングトランジスタR T r 1が導通状態となる。

【0030】そして、電源電圧V<sub>CC</sub>レベルの駆動パルス信号がプレート線P Lに所定時間印加される。同様に、電源電圧V<sub>CC</sub>レベルの駆動パルス信号がリファレンス用プレート線R P Lに所定時間印加される。これにより、メモリセルMC1およびリファレンスセルR M C 1の強誘電体キャパシタF C 1、R F C 1のプレート電極には電源電圧V<sub>CC</sub>が所定期間だけ印加される。その結果、強誘電体キャパシタF C 1およびR F C 2の分極状態に従ってビット線B L 1およびB L 2の電位が変化する。そして、リファレンスセルR M C 1が接続されたビット線B L 2の電位とメモリセルMC1が接続されたビット線B L 1の分極状態に応じた電位との差が、センスアンプにより検出される。

【0031】なお、リファレンスセルR M C 1は分極反転させずに使用されるため、再書き込み動作に入らないように、すなわち「0」データを書き込むために、リファレンス用ワード線RWL1はリファレンス用プレート線R P Lよりも早いタイミングで0Vに立ち下がるように設定される。すなわち、スイッチングトランジスタR T r 1が非導通状態になった後に、リファレンス用プレート線R P Lが0Vに立ち下げる。

【0032】通常のメモリセルMC1側では、データ読み出し後、上述した再書き込みを行うため、リファレンス用プレート線R P Lとほぼ同時に0Vに立ち下がった後に、ワード線WL1が(V<sub>CC</sub>+1V)から0Vに立ち下げる。これにより、スイッチングトランジスタT r 1が非導通状態となり、読み出し動作が終了する。

【0033】以上説明したように、本実施例によれば、図示しない制御系から出力されたメモリセルをアクセスするための信号、たとえばアドレス信号あるいはコントロール信号等の入力信号I Nを受けて、入力信号I Nに

同期したパルス信号 $\phi_{PR}$ を生成して昇圧回路2およびプリチャージトランジスタP C T 1～P C T 4のゲートに出力するパルス発生回路1と、パルス発生回路1によるパルス信号 $\phi_{PR}$ を受けて、昇圧用素子としての強誘電体キャパシタ210に所定のタイミングで入力させて、少なくともスイッチングトランジスタT r 1、R T r 1のしきい値に基づく電圧降下を相殺するレベル以上、たとえば2V<sub>CC</sub>に昇圧したワード線用駆動信号X<sub>B</sub>を生成しデコーダ3に出力する昇圧回路2を設けたので、タイミング設計が容易となり、動作速度の高速化を図れる利点がある。加えて、昇圧用素子として強誘電体キャパシタを用いるので、回路面積を小さくでき、面積の増大を防止できる利点がある。

【0034】なお、昇圧回路2においては、強誘電体キャパシタ210の一方の電極側（インバータ207の出力側）を接地レベルからV<sub>CC</sub>レベルに充電するとき、pチャネルMOSトランジスタ211が必ず非導通状態に保持されるように、信号遅延時間の配分が必要である。

【0035】図6にその信号遅延時間の配分を最適化した昇圧回路の構成例を示し、図7にそのタイミングチャートを示す。この場合、pチャネルMOSトランジスタ211のゲートに印加する信号のパルス幅を小さくし、強誘電体キャパシタ210の一方の電極に印加する信号のパルス幅が大きくなるように構成されている。すなわち、pチャネルMOSトランジスタ211のゲートに印加する信号ラインはインバータ201、202を介した信号とパルス信号 $\phi_{PR}$ とを NANDゲートS209の2入力とし、NANDゲート209の出力信号S209をpチャネルMOSトランジスタ211のゲートに入力させている。また、強誘電体キャパシタ210の一方の電極に印加する信号ラインは、直列接続されたインバータ205～207に並列にインバータ212を設け、インバータ207の出力信号とインバータ212の出力信号とを NANDゲートS213の2入力とし、NANDゲート213の出力信号をインバータ214に入力させ、このインバータ214の出力信号S214を強誘電体キャパシタ210の一方の電極に入力させている。

【0036】図6の回路を用いることにより、上述した効果に加えて、的確な動作を実現できるという効果を得られる。

【0037】なお、以上の説明においては、1T r - 1C a p方式を採用した強誘電体不揮発性メモリを例に説明したが、本発明が2T r - 2C a p方式を採用した強誘電体不揮発性メモリに適用できることはいうまでもない。

### 【0038】

【発明の効果】以上説明したように、本発明の強誘電体記憶装置によれば、タイミング設計が容易となり、動作速度の高速化を図ることができる。また、昇圧用素子として強誘電体キャパシタを用いるので、回路面積を小さくでき、面積の増大を防止できる利点がある。

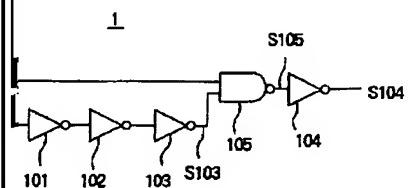
10

のタイミングチャートである。

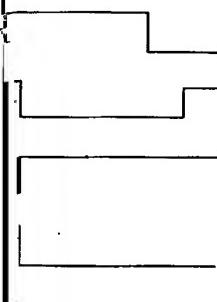
9の回路の書き込み時における各端子に印  
のタイミングチャートである。

- ノセル
- ファレンスセル
- ソチングトランジスタ
- ファレンス用スイッティングトランジスタ
- 電体キャパシタ
- ファレンス用強誘電体キャパシタ
- ビット線
- ワード線
- ファレンス用ワード線
- 線
- レンズ用プレート線
- 三回路
- 三回路
- ダ

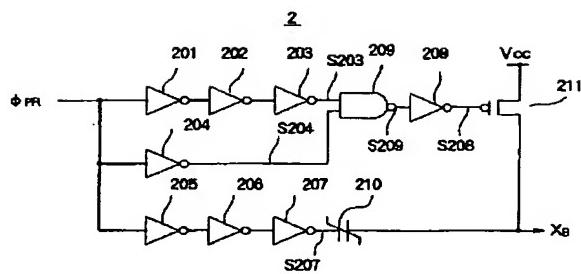
【図2】



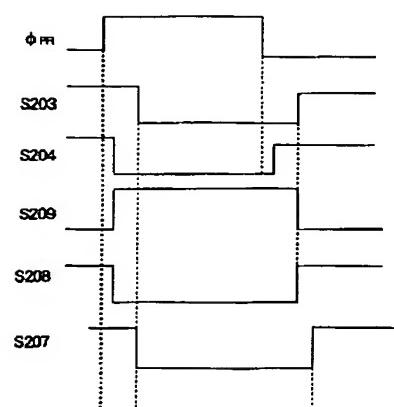
【図3】



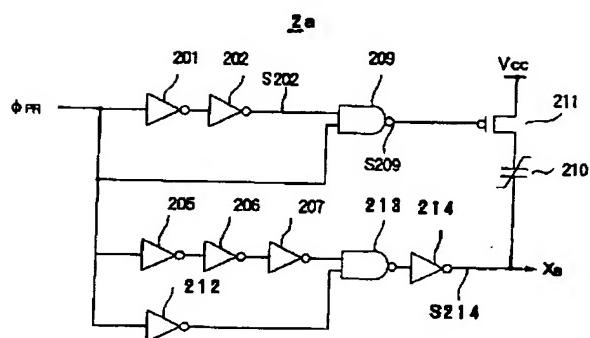
【図4】



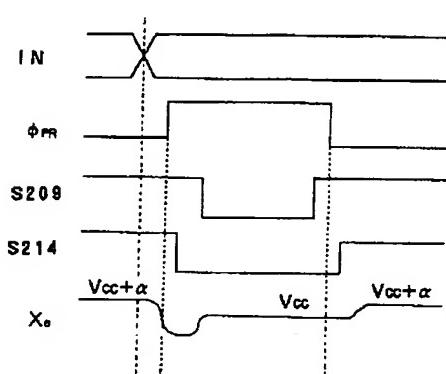
【図5】



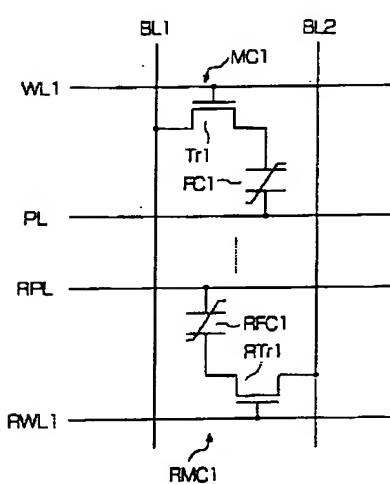
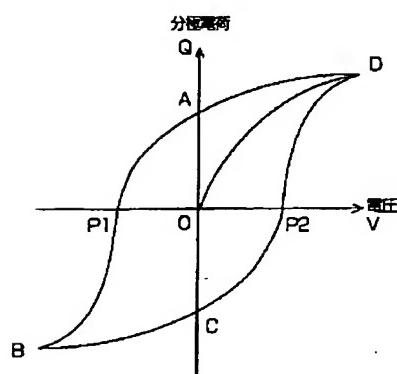
【図6】



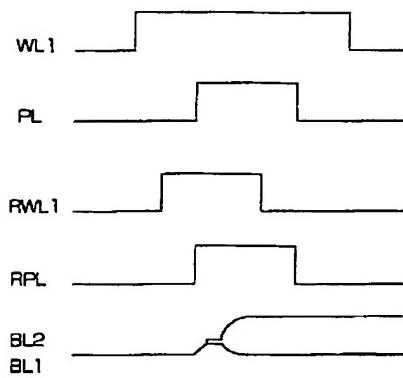
【図7】



【図8】



【図10】



【図11】

